

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-218847**

(43)Date of publication of application : **27.08.1993**

(51)Int.Cl.

H03K 19/0175

H03K 17/16

H03K 19/0948

(21)Application number : **04-016738**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **31.01.1992**

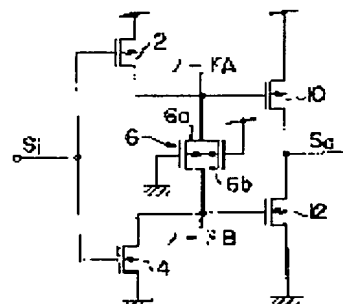
(72)Inventor : **SUZUKI TOSHIYUKI
KAIZUKA MASANARI**

(54) CMOS OUTPUT BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To suppress the through currents and the noises as much as possible and also to shorten the signal delay time.

CONSTITUTION: A P-channel MOS transistor TR 2 is provided together with an N-channel MOS TR 4, a transmission gate 6 containing 8 p-channel MOS TR 6a and an N-channel MOS TR 6b, a p-channel MOS TR 10, and an N-channel MOS TR 12. When the level of an input Si changes to 'H' from 'L' and also the TR 10 is turned on, the gate potential has a gentle change and therefore, the noise of the output So can be reduced. Furthermore, the through current can be reduced between the TR 10 and 12 since the OFF timing is shifted between both TR 10 and 12. The delay time is also reduced owing to the changing speeds of potentials of both nodes A and B. The same result is assured also when the input Si changes to 'L' from 'H'.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-218847

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175 17/16 19/0948		U 9184-5 J 8941-5 J 8941-5 J	H 0 3 K 19/ 00 19/ 094	1 0 1 F B 審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-16738

(22)出願日 平成4年(1992)1月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 敏 幸

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 貝 塚 眞 生

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 弁理士 佐藤 一雄 (外3名)

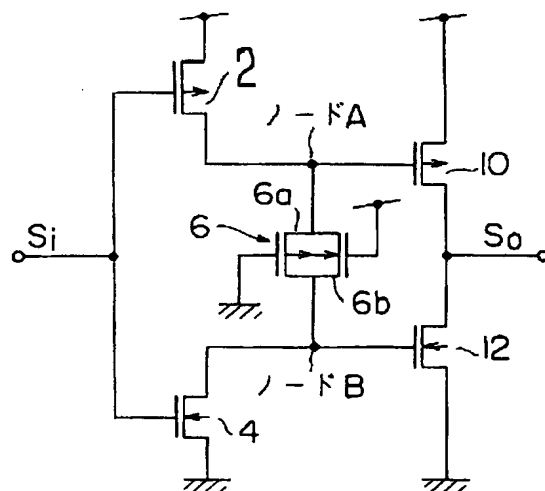
(54)【発明の名称】 CMOS出力バッファ回路

(57)【要約】 (修正有)

【目的】 貫通電流及びノイズの出現を可及的に抑える

とともに信号の遅延時間を短くする。

【構成】 PチャネルMOSトランジスタ2と、NチャネルMOSトランジスタ4と、PチャネルMOSトランジスタ6a及びNチャネルMOSトランジスタ6bからなるトランスミッションゲート6と、PチャネルMOSトランジスタ10と、NチャネルMOSトランジスタ12とを備えている。入力Siのレベルが“L”から“H”に変化する場合トランジスタ10がオンする時、ゲート電位の変化が緩やかなので、出力Soのノイズを小さく抑えることができる。又、トランジスタ10のオンとトランジスタ12のオフのタイミングがずれるため、トランジスタ10、12間の貫通電流を小さく抑えることができる。また、ノードA、Bの電位の変化の早さによって遅延時間も短い。入力Siが“H”から“L”に変化する場合も同様である。



【特許請求の範囲】

【請求項1】ソースが第1の電源に接続された第1のPチャネルMOSトランジスタと、ソースが第2の電源に接続された第1のNチャネルMOSトランジスタと、ゲートが前記第1のPチャネルMOSトランジスタのドレインに接続され、ソースが第1の電源に接続された第2のPチャネルMOSトランジスタと、ゲートが前記第1のNチャネルMOSトランジスタのドレインに接続され、ドレインが前記第2のPチャネルMOSトランジスタのドレインに接続され、ソースが第2の電源に接続された第2のNチャネルMOSトランジスタと、ゲートが第2の電源に接続され、ソースが前記第1のPチャネルMOSトランジスタのドレインに接続され、ドレインが前記第1のNチャネルMOSトランジスタのドレインに接続された第3のPチャネルMOSトランジスタと、ゲートが第1の電源に接続され、ソースが前記第1のNチャネルMOSトランジスタのドレインに接続され、ドレインが前記第1のPチャネルMOSトランジスタのドレインに接続された第3のNチャネルMOSトランジスタと、を備え、

前記第1のPチャネル及びNチャネルMOSトランジスタのゲートに入力信号を与え、

前記第2のPチャネル及びNチャネルMOSトランジスタのドレインから出力信号を取出すことを特徴とするCMOS出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はCMOS出力バッファ回路に関するものである。

【0002】

【従来の技術】一般にCMOS出力バッファ回路は図5に示すようにPチャネルMOS（PMOS）トランジスタ52a及びNチャネルMOS（NMOS）トランジスタ52bからなるCMOSインバータ回路52と、PチャネルMOSトランジスタ54a及びNチャネルMOSトランジスタ54bからなるCMOSインバータ回路54とを有している。このCMOSバッファ回路においては、インバータ回路54の入力側の電圧がインバータ回路54の回路しきい値を中心にしたある範囲にある場合、駆動電源と接地電源との間に大きな貫通電流が流れたり、又インバータ回路54の入力側の電圧がPMOSトランジスタ54a、もしくはNMOSトランジスタ54bのしきい値電圧まで急に達することにより、オーバーシュート、アンダーシュートなどのノイズが出力Soに発生してしまうという問題があった。

【0003】そこで上記貫通電流やノイズ等の発生を防止するため、図5のCMOS出力バッファ回路においては図6に示すように、PMOSトランジスタ52aのドレインとNMOSトランジスタ52bのドレインを分離し、PMOSトランジスタ52aのドレインをPMOS

トランジスタ54aのゲートに接続する（接続ノードA）とともに、NMOSトランジスタ52bのドレインをNMOSトランジスタ54bのゲートに接続し（接続ノードB）、接続ノードAのBの間に抵抗53を設けていた。

【0004】

【発明が解決しようとする課題】このような図6に示す従来のCMOS出力バッファ回路の動作を図7を参照して説明する。PMOSトランジスタ52aとNMOSトランジスタ52bのゲートに印加される入力信号Siのレベルが“L”の状態では、トランジスタ52aがオンし、トランジスタ52bがオフしているので、ノードA、Bの電位は正電源電位“H”に等しい。したがってトランジスタ54aがオフし、トランジスタ54bがオンしているので出力信号Soは“L”レベルとなる。又入力信号Siが“H”レベル状態では、トランジスタ52aはオフし、トランジスタ52bはオンするので、ノードA、Bともに接地電位となる。したがってトランジスタ54aはオンし、トランジスタ54bはオフするので出力信号Soは“H”レベルとなる。

【0005】次に入力信号Siの電位が上がるに連れてトランジスタ52aは徐々にオフし初め、トランジスタ52bは徐々に、オンし始める。これにより、正電源電位にあったノードBの電位はトランジスタ52bを介して接地電源に放電され、ノードAの電位も又、ノードBの電位に引かれて落ちていくが、抵抗53を介しているので放電時間はノードBに比べて長くなる。又入力信号Siが“H”から“L”に変わる時は、入力信号Siの電位が下がるに連れてトランジスタ52aは徐々にオンし初め、トランジスタ52bは徐々にオフし始める。これにより、接地電位にあったノードAの電位はトランジスタ52aを介して充電され、ノードBの電位もノードAより充電されるが、抵抗53を介して充電されるため充電時間はノードAに比べて長くなる。

【0006】したがってトランジスタ54a、54bのスイッチングを行うノードA、Bの電位は、トランジスタをオフさせる時は素早く変化し、オンさせる時はゆっくり変化する。これによりトランジスタ54a、54bがオンする時ゲート電圧変化が緩やかなので出力信号Soのノイズは押えられる。又トランジスタ54aとトランジスタ54bのオン、オフのタイミングがずれるため、上述の貫通電流が小さく押えられる。

【0007】しかし図6に示すCMOS出力バッファ回路においては、入力端子に信号Siが入ってからトランジスタ54a、又はトランジスタ54bがオンするまでの時間が長くなり、出力信号Soの遅延時間が長くなるという問題があった。本発明は上記事情を考慮してなされたものであって、インバータ内の貫通電流を抑えるとともに、出力にノイズが現われるのを可及的に防止し、更に信号の遅延時間を可及的に短くすることのできるC

MOS出力バッファ回路を提供することを目的とする。
【0008】

【課題を解決するための手段】本発明によるCMOS出力バッファ回路は、ソースが第1の電源に接続された第1のPチャネルMOSトランジスタと、ソースが第2の電源に接続された第1のNチャネルMOSトランジスタと、ゲートが第1のPチャネルMOSトランジスタのドレインに接続され、ソースが第1の電源に接続された第2のPチャネルMOSトランジスタと、ゲートが第1のNチャネルMOSトランジスタのドレインに接続され、ドレインが第2のPチャネルMOSトランジスタのドレインに接続され、ソースが第2の電源に接続された第2のNチャネルMOSトランジスタと、ゲートが第2の電源に接続され、ソースが第1のPチャネルMOSトランジスタのドレインに接続され、ドレインが第1のNチャネルMOSトランジスタのドレインに接続された第3のPチャネルMOSトランジスタと、ゲートが第1の電源に接続され、ソースが第1のNチャネルMOSトランジスタのドレインに接続され、ドレインが第1のPチャネルMOSトランジスタのドレインに接続された第3のNチャネルMOSトランジスタと、を備え、第1のPチャネル及びNチャネルMOSトランジスタのゲートに入力信号を与え、第2のPチャネル及びNチャネルMOSトランジスタのドレインから出力信号を取出すことを特徴とする。

【0009】

【作用】このように構成された本発明のCMOS出力バッファ回路によれば、第3のPチャネル及びNチャネルMOSトランジスタからなるトランスミッションゲートの入出力端の一端が第1のPチャネルMOSトランジスタのドレインに接続され、他端が第1のNチャネルMOSトランジスタのドレインに接続されている。これにより、第2のPチャネルMOSトランジスタ又は第2のNチャネルMOSトランジスタがオンする時にはゲート電圧の変化が緩やかなので出力に出現するノイズを小さく抑えることができる。又、第2のPチャネル及びNチャネルMOSトランジスタのオン、オフのタイミングがずれるため、第2のPチャネル及びNチャネルMOSトランジスタ内を流れる貫通電流を小さく抑えることができる。更に、第1のPチャネルMOSトランジスタと第1のNチャネルMOSトランジスタの各ドレインにおける電位は、第2のPチャネル及びNチャネルMOSトランジスタをオフさせる場合は早く変化し、オンさせる場合は各々のトランジスタのしきい値電圧前まで素早く変化するので遅延時間の短い出力信号を得ることが出来る。

【0010】

【実施例】本発明によるCMOS出力バッファ回路の第1の実施例の構成を図1に示す。この実施例のCMOS出力バッファ回路はPチャネルMOSトランジスタ2と、NチャネルMOSトランジスタ4と、PチャネルM

OSトランジスタ6a及びNチャネルMOSトランジスタ6bからなるトランスミッションゲート6と、PチャネルMOSトランジスタ10と、NチャネルMOSトランジスタ12とを備えている。この実施例において、トランジスタ2のソースが正電源に接続され、ドレインがトランジスタ10のゲートに接続されている。又、トランジスタ4のソースが接地電源に接続され、ドレインがトランジスタ12のゲートに接続されている。又、トランジスタ10と12は直列に接続され、トランジスタ10のソースは正電源に接続され、トランジスタ12のソースは接地電源に接続されている。そして、トランスミッションゲート6の一方の端子がトランジスタ2のドレインとトランジスタ10のゲートとの接続ノードAに接続され、他方の端子がトランジスタ4のドレインとトランジスタ12のゲートとの接続ノードBに接続されている。又トランスミッションゲート6のPチャネルトランジスタ6aのゲートは接地電源に接続され、Nチャネルトランジスタ6bのゲートは正電源に接続されている。そしてトランジスタ2及び4のゲートに入力信号Siが与えられトランジスタ10と12の接続点から出力信号Soが取出される。

【0011】この実施例の動作を図2を参照して説明する。今、入力Siのレベルが“L”である時、トランジスタ2がオンし、ノードAの電位は正電源電位に等しく、ノードBの電位もトランジスタ6aが完全にオンしているので正電源電位に等しい。したがってトランジスタ10がオフし、トランジスタ12がオンし、出力は“L”レベルとなる。

【0012】次に入力Siのレベルが“L”から“H”に変化する場合を考える。入力Siの電位が上がるに連れて、トランジスタ2が次第にオフし始め、トランジスタ4がオンし始める。トランジスタ4がオンし始めることにより当初、正電源電位にあったノードBの電位が接地電源に放電され、ノードAの電位も又ノードBに引かれ、放電される。しかし、ノードAの電位がPチャネルMOSトランジスタ6aのバックゲートバイアスが利き始めるある電位（しきい値電圧）aになると、トランジスタ6aのオン抵抗が大きくなり、ノードAの電位は電位aを境に、その後ゆっくりと放電される。したがって、トランジスタ10がオンする時、ゲート電位の変化が緩やかなので、出力Soのノイズを小さく抑えることができる。又、トランジスタ10のオンとトランジスタ12のオフのタイミングがずれるため、トランジスタ10、12間の貫通電流を小さく抑えることができる。更にノードBの電位はトランジスタ12をオフさせる時、素早く変化し、ノードAの電位はトランジスタ10をオンさせる時、しきい値電圧aまで素早く変位するので図2に示すように遅延時間の短い出力Soを得ることができる。なお、図2において、実線は本実施例の電位変化を示し、破線は従来の電位変化を示す。

【0013】一方、入力Siが“H”から“L”に変化する場合は、入力Siの電位が下がるに連れてトランジスタ2は次第にオンし始め、トランジスタ4はオフし始める。トランジスタ2がオンし始めることにより、当初接地電位にあったノードAの電位は正電源から充電される。ノードBの電位も又トランジスタ6bを介して充電される。しかし、ノードBがトランジスタ6bのバックゲートハイスが利き始めるある電位（しきい値電圧）bになると、トランジスタ6bのオン抵抗は大きくなり、ノードBの電位は電位bを境に抵抗となったトランジスタ6bを通してゆっくり充電される。したかつてトランジスタ12がオンする時、ゲート電位の変化が緩やかなので、出力Soのノイズを小さく抑えることができる。又トランジスタ10のオフとトランジスタ12のオンのタイミングがずれるため、トランジスタ10、12間の貫通電流を小さく抑えることができる。更に、ノードAの電位は、トランジスタ10をオフさせる時、素早く変化し、ノードBの電位はトランジスタ12をオンさせる時、しきい値電圧bまで素早く変化するので図2に示すように遅延時間の短い出力Soを得ることができる。

【0014】次に、本発明によるCMOS出力バッファ回路の第2の実施例の構成を図3に示し、その回路図を図4に示す。この第2の実施例のCMOS出力バッファ回路はNANDゲート30と、インバータ32と、NORゲート34と、PチャネルMOSトランジスタ36a及びNチャネルMOSトランジスタ36bからなるインバータ回路36とを備えている。NANDゲート30はイネーブル信号Sx及び入力信号Siに基づいて動作し、その動作出力をトランジスタ36aのゲートに送出する。NORゲート34はインバータを介して入力されるイネーブル信号Sxと、入力信号Siに基づいて動作し、その動作出力をトランジスタ36bのゲートに送出する。そして、トランジスタ36aと36bの接続ノードから出力信号Soが取出される。

【0015】又、NANDゲート30は図4に示すように、PチャネルMOSトランジスタ30a、30bと、NチャネルMOSトランジスタ30c、30dと、NチャネルMOSトランジスタ30e及びPチャネルMOSトランジスタ30fからなるトランスミッションゲートとを有している。そして、トランジスタ30a、30bの各ソースが正電源に接続され、各ドレインがトランジスタ36aのゲートに接続されている。トランジスタ30cとトランジスタ30dは直列に接続され、トランジスタ30cのドレインが上記トランスミッションゲートの入力端に接続され、トランジスタ30dのソースが接地電源に接続されている。上記トランスミッションゲートの出力端はトランジスタ30a、30bのドレインに接続されている。そしてトランジスタ30eのゲートは正電源に、トランジスタ30fのゲートは接地電源に接

続されている。

【0016】トランジスタ30aとトランジスタ30cのゲートにはイネーブル信号Sxが入力され、トランジスタ30bとトランジスタ30dのゲートには入力信号Siが入力される。一方、NORゲートは図4に示すように、PチャネルMOSトランジスタ34a、34bと、NチャネルMOSトランジスタ34c、34dと、NチャネルMOSトランジスタ34e及びPチャネルMOSトランジスタ34fからなるトランスミッションゲートとを有している。トランジスタ34aとトランジスタ34bは直列に接続され、トランジスタ34aのソースが正電源に、トランジスタ34bのドレインが上記トランスミッションゲートの入力端に接続されている。トランジスタ34c及び34dの各ソースは接地電源に接続され、各ドレインはトランジスタ36bのゲートに接続されている。又上記トランスミッションゲートの出力端がトランジスタ34c、34dのドレインに接続され、トランジスタ34eのゲートが正電源に、トランジスタ34fのゲートが接地電源に接続されている。そして、トランジスタ34bとトランジスタ34dの各ゲートには入力信号Siが入力され、トランジスタ34aとトランジスタ34cの各ゲートには、トランジスタ32a、32bからなるインバータを介してイネーブル信号Sxが入力されている。

【0017】次に第2の実施例の動作を説明する。イネーブル信号Sxが“L”の場合、トランジスタ30aがオンに、トランジスタ30cがオフになることにより、トランジスタ36aがオフになる。又トランジスタ34aがオフに、トランジスタ34cがオンになることにより、トランジスタ36bもオフになる。これにより、イネーブル信号Sxが“L”の場合は入力信号Siのレベルに関係なく、出力信号Soはハイインピーダンスになる。イネーブル信号Sxが“H”の場合は、トランジスタ30a、34cがオフに、トランジスタ30c、34aがオンになり、出力信号Soは入力信号Siのレベルのみに応じた値となる。すなわち、入力信号Siが“H”の場合出力信号Soは“H”になり、“L”の場合“L”となる。

【0018】又、図4に示すCMOS出力バッファ回路においては、トランジスタ30e、30fからなるトランスミッションゲートがNチャネルトランジスタ30cのドレインとPチャネルトランジスタ30bのドレインとの間に設けられ、トランジスタ34e、34fからなるトランスミッションゲートがPチャネルトランジスタ34bのドレインとNチャネルトランジスタ34cのドレインとの間に設けられている。これにより、この第2の実施例のCMOS出力バッファ回路は入力信号Siを“L”から“H”に、又は“H”から“L”に変化させた場合は第1の実施例と同様の動作を行い、トランジスタ36aとトランジスタ36bとの間の貫通電流を小さ

く抑えることができるとともに、出力ノイズが現われるのを防止することができ、更に信号の遅延時間を短くすることができる。

【0019】

【発明の効果】以上述べたように、本発明によれば、インバータ内の貫通電流を抑えるとともに、出力にノイズが生じるのを可及的に防止でき、更に信号の遅延時間を可及的に短くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す回路図。

【図2】第1の実施例の動作を説明する電位変化図。

【図3】第2の実施例の構成を示すブロック図。

【図4】第2の実施例の構成を示す回路図。

*【図5】従来のCMOS出力バッファ回路の構成を示す回路図。

【図6】改良された従来のCMOS出力バッファ回路の構成を示す回路図。

【図7】図6に示すCMOS出力バッファ回路の動作を説明する電位変化図。

【符号の説明】

2, 6a, 10 PチャネルMOSトランジスタ

4, 6b, 12 NチャネルMOSトランジスタ

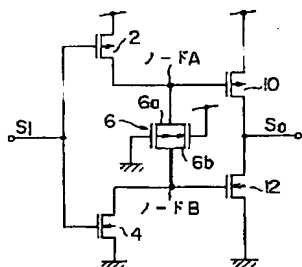
10 6 トランスマッションゲート

Si 入力信号

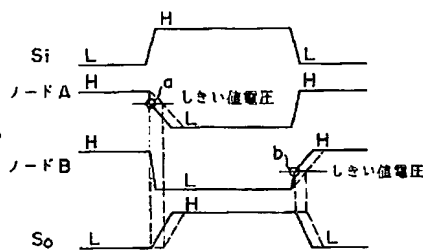
So 出力信号

*

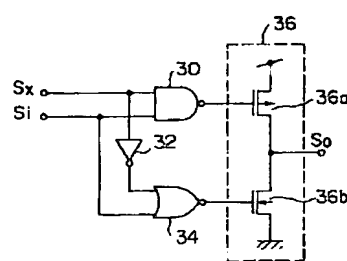
【図1】



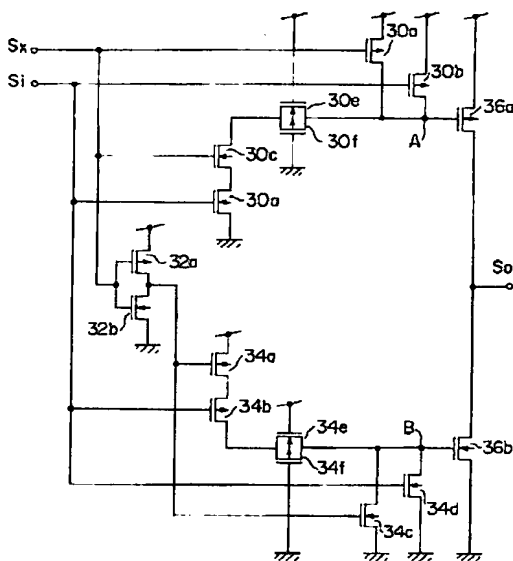
【図2】



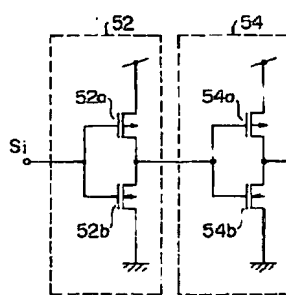
【図3】



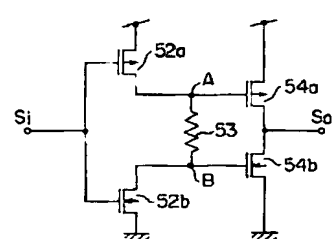
【図4】



【図5】



【図6】



【図7】

